

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222934
 (43)Date of publication of application : 09.08.2002

(51)Int.CI. H01L 27/108
 H01L 21/8242

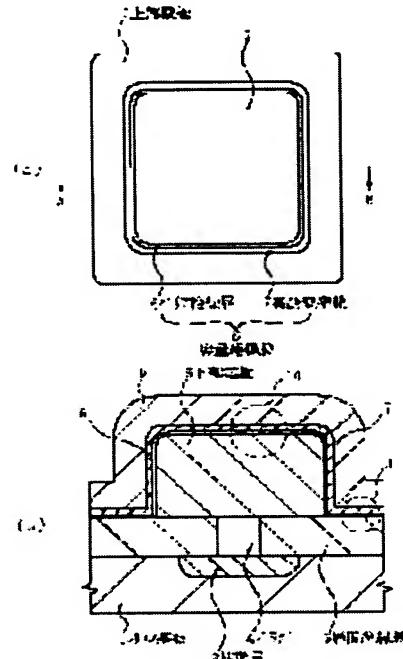
(21)Application number : 2001-020514 (71)Applicant : NEC CORP
 (22)Date of filing : 29.01.2001 (72)Inventor : IIZUKA TOSHIHIRO
 YAMAMOTO ASAE

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the temperature dependency of the leakage current of the capacitor of a semiconductor device which has a MIM structure, and further, to improve the reliability of the semiconductor device.

SOLUTION: In the manufacturing method of the semiconductor device, the film of a barrier insulation layer 6 is so formed by an atomic-layer chemical vapor-phase epitaxy method as to be deposited on a lower electrode 5 of its capacitor and on its interlayer insulation film 3, and a high-dielectric-constant film 7 is so deposited on the barrier insulation layer 6 as to form a capacitor insulation film 8. Also, a barrier insulation layer is further formed on the high-dielectric-constant film. In this way, an upper electrode 9 covering the capacitor insulation film 8 is so provided as to manufacture its capacitor having a MIM structure. Hereupon, the flow of the electrons in the film of the barrier insulation layer 6 is subjected to a Fowler-Nordheim(F-N) tunnel-current mechanism or a direct tunnel-current mechanism.



LEGAL STATUS

[Date of request for examination] 25.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-222934
(P2002-222934A)

(43) 公開日 平成14年8月9日(2002.8.9)

(51) Int.Cl.⁷
H 0 1 L 27/108
21/8242

識別記号

F I
H 0 1 L 27/10

テマコード(参考)
6 2 1 B 5 F 0 8 3
6 2 1 C

審査請求 未請求 請求項の数12 OL (全 12 頁)

(21) 出願番号 特願2001-20514(P2001-20514)

(22) 出願日 平成13年1月29日(2001.1.29)

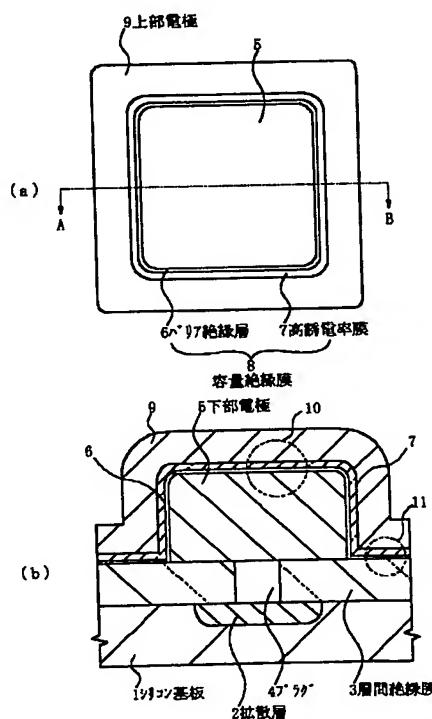
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 飯塚 敏洋
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72) 発明者 山本 朝恵
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 100082935
弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 MIM構造のキャパシタのリーク電流の温度依存性を小さくし、更にその信頼性を向上させる。

【解決手段】 キャパシタの下部電極5、層間絶縁膜3に被着するようにバリア絶縁層6を原子層化学気相成長法で成膜し、バリア絶縁層6に高誘電率膜7を被着させ容量絶縁膜8を形成する。また、高誘電率膜上に更にバリア絶縁層を形成する。このようにして、容量絶縁膜8を被覆する上部電極9を設けMIM構造のキャパシタを製造する。ここで、バリア絶縁層6の膜中の電子の流れは、Fowler-Nordheim(F-N)トンネル電流あるいは直接トンネル電流機構となる。



【特許請求の範囲】

【請求項1】 半導体基板上に下部電極、容量絶縁膜および上部電極を順次積層して形成したキャパシタを有し、前記下部電極と上部電極とは金属膜で構成され、前記容量絶縁膜は第1の誘電体膜と第2の誘電体膜の積層膜で構成され、前記第1の誘電体膜は前記下部電極あるいは上部電極と前記第2の誘電体膜との間に介在し、前記第1の誘電体膜中の電子の流れが Fowler Nordheim (F-N) トンネル電流機構あるいは直接トンネル電流機構となることを特徴とする半導体装置。

【請求項2】 前記第1の誘電体膜はアルミナ膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第2の誘電体膜が金属酸化膜で構成されていることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記金属酸化膜は Ta_2O_5 膜、 ZrO_2 膜、 HfO_2 膜、 $SrTiO_3$ 膜、 $(Ba, Sr)TiO_3$ 膜あるいは $Pb(Zr, Ti)O_3$ 膜であることを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体基板上にキャパシタの下部電極を金属膜で形成し原子層化学気相成長 (ALCVD) 法でもって前記下部電極を被覆する容量絶縁膜を形成する工程と、前記容量絶縁膜上にキャパシタの上部電極を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記容量絶縁膜は第1の誘電体膜と第2の誘電体膜の積層膜で構成され、原子層化学気相成長 (ALCVD) 法でもって前記第1の誘電体膜を前記下部電極上あるいは前記第2の誘電体膜上に被着させることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記第1の誘電体膜はアルミナ膜であり、前記第2の誘電体膜は金属酸化膜で構成されることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記金属酸化膜は Ta_2O_5 膜、 ZrO_2 膜、 HfO_2 膜、 $SrTiO_3$ 膜、 $(Ba, Sr)TiO_3$ 膜あるいは $Pb(Zr, Ti)O_3$ 膜であることを特徴とする請求項7記載の半導体装置。

【請求項9】 前記第1の誘電体膜を被着させる工程において、トリメチルアルミニウム (TMA) と酸化ガスとを反応ガスとした原子層化学気相成長 (ALCVD) 法でアルミナ膜を形成することを特徴とする請求項6、請求項7または請求項8記載の半導体装置の製造方法。

【請求項10】 前記容量絶縁膜は Ta_2O_5 膜、 ZrO_2 膜、 HfO_2 膜、 $SrTiO_3$ 膜、 $(Ba, Sr)TiO_3$ 膜または $Pb(Zr, Ti)O_3$ 膜であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項11】 前記金属膜は金属酸化物あるいは金属窒化物で構成されることを特徴とする請求項5から請求項10のうち1つの請求項に記載の半導体装置の製造方法。

【請求項12】 前記金属酸化物、金属窒化物は、 RuO_2 、 IrO_2 、 TiN 、 TaN あるいはWNであることを特徴とする請求項11記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に半導体装置のキャパシタ構造とその形成方法に関する。

【0002】

【従来の技術】 半導体デバイスの中で記憶情報の任意な入出力が可能なうちにDRAMがある。このようなメモリーデバイスであるDRAMのメモリーセルは、1個のトランジスタと、1個のキャパシタとからなるものが構造的に簡単であり、半導体装置の高集積化に最も適するものとして広く用いられている。

【0003】 また、最近の半導体デバイスではシステムLSIが重要になってきている。このような半導体装置では、ロジック回路とメモリー回路とが半導体チップに搭載されたロジック混載メモリーデバイス、ロジック回路とアナログ回路混載のアナログ混載ロジックデバイス等、種々の混載デバイスが開発検討されている。このような混載デバイスにおいても、メモリーセルは上述したように、1個のトランジスタと1個のキャパシタとから構成される。

【0004】 このようなメモリーセルのキャパシタでは、半導体デバイスの更なる高集積化に伴い、3次元構造のものが開発され使用されてきている。このキャパシタの3次元化は次のような理由による。すなわち、半導体素子の微細化及び高密度化に伴いキャパシタの占有面積の縮小化が必須となっている。しかし、半導体デバイスのメモリーパートの安定動作及び信頼性確保のためには、一定以上の容量値が必要とされる。そこで、キャパシタの電極を平面構造から3次元構造に変えて、縮小した占有面積の中でキャパシタ電極の表面積を拡大することが必要となる。

【0005】 このメモリーセルの3次元構造のキャパシタにはスタック構造のものとトレンド構造のものがある。これらの構造にはそれぞれ一長一短があるが、スタッカブル構造のものはアルファーラインの入射あるいは回路等からのノイズに対する耐性が高く、比較的容量値の小さい場合でも安定動作する。このために、半導体素子の設計基準が $0.10\mu m$ 程度となる半導体デバイスにおいても、スタッカブル構造のキャパシタは有効であると考えられている。

【0006】 そして、最近では、このスタッカブル構造のキャパシタ（以下、スタッカブル型のキャパシタと呼称する）の場合、微少な面積領域に所定の容量値を確保するため非常に高い誘電率を有する誘電体膜（容量絶縁膜）が必要になってきている。そこで、このような高誘電率膜

3

として、五酸化タンタル (Ta_2O_5) 膜、 $SrTiO_3$ (以下、STO膜という)、 $(Ba, Sr)TiO_3$ (以下、BST膜という)、 $Pb(Zr, Ti)O_3$ (以下、PZT膜という)などの絶縁材料が精力的に検討されている。更には、スタック型のキャパシタの下部電極として新しい導電体材料が必要になってきている。これは、上記のような高誘電率の絶縁材料と下部電極との適切な組み合わせを通して、キャパシタの高い信頼性を確保するためである。例えば、1994年 インターナショナル エレクトロン デバイス ミーティング (International Electron Devices Meeting) のダイジェスト オブ テクニカル ペーパー (Digest of Technical Papers) 831~834頁に示されているように、容量絶縁膜にSTO膜が使用され下部電極に二酸化ルテニウム (RuO_2) の導電体材料が適用されている。同様なキャパシタ構造については、例えば特開2000-114482号公報に記載されている。

【0007】以下、図11を参照して従来の高誘電率膜で構成されるスタッ�型のキャパシタの構造について説明する。ここで、図11(a)は模式化したスタッ�型のキャパシタの平面図であり、簡略化のため下部電極と容量絶縁膜と上部電極とが示されている。図11(b)は、図11(a)に記すX-Yでの断面図である。

【0008】以下、図11(a)と図11(b)とと一緒にして説明する。図11(b)に示すように、導電型がP型のシリコン基板101表面の所定の領域に導電型がN型の拡散層102が形成され、シリコン基板101上の層間絶縁膜103の一部が開口されプラグ104が形成されている。そして、下部電極105が直接に層間絶縁膜103に被着するように形成されている。ここで、下部電極105と拡散層102とはプラグ104で電気接続される。

【0009】そして、図11(a)および図11(b)に示すように、下部電極105の側面および上面、さらに層間絶縁膜103上に容量絶縁膜106が形成される。ここで、下部電極105は二酸化ルテニウムの金属膜で構成され、容量絶縁膜106は、例えば Ta_2O_5 膜、STO膜等で構成される。そして、全体を被覆するように上部電極107が形成される。なお、この上部電極107も下部電極と同様な金属膜で構成される。

【0010】

【発明が解決しようとする課題】本発明者は、上述したような高誘電率材料を容量絶縁膜とするMIM (Metal/Insulator/Metal) 構造のキャパシタについて詳細に検討した。

【0011】その結果、金属酸化物である、五酸化タンタル (Ta_2O_5)、二酸化ジリコニウム (ZrO_2)、二酸化ハフニウム (HfO_2)、STO ($SrTiO_3$) 膜、 BST ($(Ba, Sr)TiO_3$) 膜あるいはPZT ($Pb(Zr, Ti)O_3$) 膜、を上記の容量絶縁膜とすると、容量絶縁膜中のリーク電流は、測定温度が高くなるに従い増大することが判明した。

【0012】このようなリーク電流の測定温度依存性の概略を図12に従って説明する。ここで、図12に示す特性は、上述したMIM構造のキャパシタのものである。なお、容量絶縁膜はSTO膜の場合である。また、下部電極-上部電極間に印加する電圧は+1V/-1Vの場合である。

【0013】図12では、横軸に測定温度を絶対温度にしその逆数 ($1/T$) をとっている。そして、容量(絶縁)膜中のリーク電流Jを対数表示にとっている。図12に示すように、容量膜中のリーク電流 J/T^2 は、 $1/T$ の増加と共にほぼ比例して減少する。これは、容量膜中のリーク電流Jが、キャパシタ電極である下部電極あるいは上部電極から容量絶縁膜への電子の熱放出に律速されることを示している。このように従来の技術では、容量膜中のリーク電流Jは、測定温度の増加と共に急激に増大するようになる。このリーク電流の温度依存性は上記印加電圧に依存するが、いずれにしても、このリーク電流は測定温度の増加に伴い増大するようになる。

【0014】半導体デバイスの動作においては、動作温度は150°C程度まで保証することが必要である。特に、ロジック混載メモリーデバイスでは、上述したMIM構造のキャパシタにおいて、動作温度が高くなつても容量絶縁膜中のリーク電流の増加を抑制することが強く要求される。このデバイスでは、リーク電流の増加がその動作に大きく影響するからである。

【0015】本発明の主目的は、MIM構造のキャパシタのリーク電流の温度依存性を小さくし、更にその信頼性を向上させることにある。また、本発明の他の目的は、高誘電率である金属酸化物の材料を容量絶縁膜とするキャパシタにおいて、簡便な手法でもってその容量値を向上させることにある。

【0016】

【課題を解決するための手段】このために本発明の半導体装置では、半導体基板上に下部電極、容量絶縁膜および上部電極を順次積層して形成したキャパシタを有し、前記下部電極と上部電極とは金属膜で構成され、前記容量絶縁膜は第1の誘電体膜と第2の誘電体膜の積層膜で構成されている。ここで、前記第1の誘電体膜は前記下部電極あるいは上部電極と前記第2の誘電体膜との間に介在し、前記第1の誘電体膜中の電子の流れがFowler Nordheim (F-N) トンネル電流機構あるいは直接トンネル電流機構となる。このような第1の誘電体膜としてはアルミニナ膜が用いられる。

【0017】このようなMIM構造のキャパシタにすることで、このキャパシタ使用時での容量絶縁膜中のリー

ク電流の温度依存性は皆無になる。そして、このMIM構造のキャパシタを有する半導体装置の動作が非常に安定するようになる。

【0018】そして、本発明の半導体装置では、前記第2の誘電体膜は、 Ta_2O_5 膜、 ZrO_2 膜、 HfO_2 膜、 $SrTiO_3$ 膜、 $(Ba, Sr)TiO_3$ 膜あるいは $Pb(Zr, Ti)O_3$ 膜の金属酸化膜で構成されている。

【0019】また、本発明の半導体装置の製造方法は、半導体基板上にキャパシタの下部電極を金属膜で形成し原子層化学気相成長（ALCVD）法でもって前記下部電極を被覆する容量絶縁膜を形成する工程と、前記容量絶縁膜上にキャパシタの上部電極を形成する工程とを含む。この容量絶縁膜は、 Ta_2O_5 膜、 ZrO_2 膜、 HfO_2 膜、 $SrTiO_3$ 膜、 $(Ba, Sr)TiO_3$ 膜あるいは $Pb(Zr, Ti)O_3$ 膜である。

【0020】あるいは、本発明の半導体装置の製造方法では、前記容量絶縁膜は第1の誘電体膜と第2の誘電体膜の積層膜で構成され、原子層化学気相成長（ALCVD）法でもって前記第1の誘電体膜を前記下部電極上あるいは前記第2の誘電体膜上に被着させる。ここで、前記第1の誘電体膜はアルミナ膜であり、前記第2の誘電体膜は金属酸化膜で構成される。そして、前記金属酸化膜は、 Ta_2O_5 膜、 ZrO_2 膜、 HfO_2 膜、 $SrTiO_3$ 膜、 $(Ba, Sr)TiO_3$ 膜あるいは $Pb(Zr, Ti)O_3$ 膜である。

【0021】上述したようなALCVD法で容量絶縁膜を成膜すると、それぞれの組成の制御が非常に向上する。また、この方法であると、成膜の段差被覆性が非常に高くなり、絶縁性に優れた高品質の容量絶縁膜が容易に形成できる。そして、この方法で形成する金属酸化膜では酸素欠損の問題が解消するようになり、その後の酸素雰囲気での高誘電率膜の熱処理工程が不要になる。このようにして、信頼性が高くしかも容量値の高いキャパシタが容易に製造できるようになる。

【0022】あるいは、本発明の半導体装置の製造方法では、前記第1の誘電体膜を被着させる工程において、トリメチルアルミニウム（TMA）と酸化ガスとを反応ガスとした原子層化学気相成長（ALCVD）法でアルミナ膜を形成する。

【0023】そして、本発明の半導体装置の製造方法では、前記金属膜は金属酸化物あるいは金属窒化物で構成される。前記金属酸化物、金属窒化物は、 RuO_2 、 IrO_2 、 TiN 、 TaN あるいはWNである。

【0024】このようにすると、下部電極と第1の誘電体膜あるいは容量絶縁膜との密着性が非常に向上する。また、半導体装置を構成する層間絶縁膜と第1の誘電体膜あるいは容量絶縁膜との密着性も大幅に向上し、高品質のキャパシタが形成できるようになる。

【0025】このように、本発明では、金属酸化膜のよ

うな高誘電率材料を容量絶縁膜に用いるMIM構造のキャパシタにおいて、下部電極あるいは上部電極と高誘電率材料との間に膜中の電子の流れがFowler Nordheim（F-N）トンネル電流機構あるいは直接トンネル電流機構となる絶縁膜を介在させる。ここで、上記容量絶縁膜を原子層化学気相成長（ALCVD）法で形成する。

【0026】このために、本発明では、MIM構造のキャパシタを搭載した半導体装置の動作が非常に安定するようになる。また、上記電極あるいは層間絶縁膜から容量絶縁膜がはがれるようなことは皆無になり、高品質の半導体装置が製造できるようになる。

【0027】

【発明の実施の形態】次に、本発明の第1の実施の形態について図1乃至図5で説明する。この第1の実施の形態でもって本発明の構成の特徴を説明する。ここで、図1乃至図3は、本発明のスタック型のキャパシタの平面図とその断面図である。図1(a)は模式化したスタック型のキャパシタの平面図であり、簡単化のため下部電極と容量絶縁膜と上部電極とが示されている。図1

(b)は、図1(a)に記すA-Bでの断面図である。そして、図2と図3は上記キャパシタの一部の拡大図となっている。また、図4と図5では、本発明でのキャパシタの容量絶縁膜の形成方法を示す。

【0028】以下、図1(a)と図1(b)とを一緒にして説明する。従来の技術で説明したのと同様に、導電型がP型のシリコン基板1表面の所定の領域に導電型がN型の拡散層2が形成され、シリコン基板1上の層間絶縁膜3の一部が開口されプラグ4が形成されている。そして、下部電極5が直接に層間絶縁膜3に被着するように形成され、下部電極5と拡散層2とはプラグ4で電気接続される。ここで、層間絶縁膜はシリコン酸化膜で構成され、プラグ4は窒化チタン（TiN）のバリア膜とタンゲステンなどで構成され、下部電極5は二酸化ルテニウムの金属膜で構成される。

【0029】そして、層間絶縁膜3表面および下部電極5表面に第1の誘電体膜として極薄のバリア絶縁層6が被着される。ここで、このバリア絶縁層6として、膜厚が1nm～5nmのアルミナ膜が用いられている。このアルミナ膜の比誘電率は10程度である。この場合の膜中の電流は、Fowler Nordheim（F-N）トンネル電流あるいは直接トンネル電流機構となる。

【0030】そして、第2の誘電体膜として、バリア絶縁層6に被着する高誘電率膜7が形成される。このバリア絶縁層6と高誘電率膜7とが容量絶縁膜8を構成することになる。ここで、高誘電率膜7は膜厚10nm程度の五酸化タンタル（ Ta_2O_5 ）である。この五酸化タンタル膜の比誘電率は25程度になる。

【0031】そして、全体を被覆するように上部電極7

が形成される。なお、この上部電極7もタンゲステン等の金属膜で構成される。このようにして、MIM構造のキャパシタが形成されている。

【0032】次に、図1(b)に示す点線円10部位と点線円11部位を拡大して本発明の特徴を更に説明する。図2(a)が点線円10部位を拡大した断面図であり、図2(b)が点線円11部位を拡大した断面図である。

【0033】図2(a)に示すように、下部電極5上に積層してバリア絶縁層6と高誘電率膜7とが形成され、上記高誘電率膜7表面に上部電極9が形成される。ここで、下部電極5および上部電極9は金属膜であるが、下部電極5はRuO₂膜の他にIrO₂膜、RuO₂膜/Ru膜(Ru膜上にRuO₂膜を堆積した積層膜)、IrO₂膜/Ir膜でもよい。あるいは、下部電極5としてTiN膜、Ta_xN膜、WN膜を用いてもよい。更には、TiN膜、Ta_xN膜でその表面をコーティングした金属膜でもよい。そして、上部電極9には、上記金属膜の他にタンゲステン等の高融点金属を用いてもよい。

【0034】また、バリア絶縁層6は、上述したようにF-Nトンネル電流あるいは直接トンネル電流機構を有する絶縁膜である。このバリア絶縁層6としてシリコンオキシナイトライド(SiON)膜でもよい。ここで、上述したような下部電極5とバリア絶縁層6との密着性が高くなるような材料が用いられる。そして、高誘電率膜7としては、Ta₂O₅膜の他に、二酸化ジルコニアム(ZrO₂)、二酸化ハフニウム(HfO₂)、STO(SrTiO₃)膜、BST((Ba, Sr)TiO₃)膜あるいはPZT(Pb(Zr, Ti)O₃)膜等の金属酸化膜を用いる。

【0035】また、図2(b)に示すように、層間絶縁膜3上に積層してバリア絶縁層6と高誘電率膜7とが形成され、上記高誘電率膜7表面に上部電極9が形成される。ここで、層間絶縁膜3は、二酸化シリコン膜の他にSi-O結合ベースの絶縁膜であってもよい。そのような絶縁膜としては、シルセスキオキサン類であるハイドロゲンシルセスキオキサン(Hydrogen Silsesquioxane)、メチルシルセスキオキサン(Methyl Silsesquioxane)、メチレーテッドハイドロゲンシルセスキオキサン(Methylated Hydrogen Silsesquioxane)あるいはフルオリネーテッドシルセスキオキサン(Furaninated Silsesquioxane)のような低誘電率膜がある。

【0036】ここで、重要なことは、バリア絶縁層6として上述したような層間絶縁膜3との密着性が高くなるような材料を用いることである。上述したアルミナ膜と上記層間絶縁膜との密着性は非常に高い。

【0037】本発明における容量絶縁膜の別の構成について、図3に基づいて説明する。図3も、図1に示すようなMIM構造のキャパシタでの図2と同様に拡大した断面図である。図3(a)では、下部電極5表面に被着

して高誘電率膜7が形成される。そして、この高誘電率膜7表面にバリア絶縁層6aが形成され、このバリア絶縁層6a上に上部電極9が形成される。

【0038】また、図3(b)では、下部電極5表面に被着してバリア絶縁層6が形成され、バリア絶縁層6a上に高誘電率膜7とバリア絶縁層6aが積層して形成される。そして、このバリア絶縁層6a上に上部電極9が形成される。

【0039】上記のようなMIM構造のキャパシタにおいて、下部電極5、バリア絶縁層6、6a、高誘電率膜7および上部電極9の材料は、図2(a)で説明したものと同じである。

【0040】次に、図1で説明したMIM構造のキャパシタを構成するバリア絶縁層6と高誘電率膜7の形成方法について、図4と図5に基づいて説明する。

【0041】図4(a)は、層間絶縁膜3表面および下部電極5表面にバリア絶縁層6を形成した後の断面図である。ここで、このバリア絶縁層6は、原子層化学気相成長(ALCVD; Atomic Layer Chemical Vapor Deposition)法で形成する。この場合の装置としては、マルチチャンバー成膜装置を用いる。ALCVDでの成膜においては、チャンバー(反応室)内には反応ガスをパルス状にしかも断続的に導入する。このような反応ガスの導入のガスシーケンスを図4(b)に示す。なお、成膜する半導体ウェーハは、チャンバー内で温度が200°C~350°Cの基板上に載置されている。

【0042】図4(b)に示すように、チャンバー内に雰囲気ガスを導入し、チャンバー内のガス圧力を100Pa程度にする。ここで、雰囲気ガスとしては窒素ガス、アルゴン等の不活性ガスを用いる。そして、TMA(トリメチルアルミニウム)ガスをパルス形態にチャンバー内に導入する。このTMAガスのパルス状の断続的な導入で、層間絶縁膜3表面および下部電極5表面にTMAあるいはその活性種を化学吸着させる。ここで化学吸着は一原子層である。

【0043】ここで、TMAのアルミ原子は酸素原子あるいは窒素原子と結合して化学吸着する。このために、下部電極5としては図2(a)のところで説明したような金属酸化物あるいは金属窒化物で導電性のある金属膜を用いる必要がある。また、層間絶縁膜3はシリコン酸化膜系の絶縁膜であるので、TMAは容易にその表面にも化学吸着するようになる。

【0044】次に、図4(b)に示すように、TMAガスを遮断しバージガスをパルス形態でチャンバー内に導入し、チャンバー内のTMAガスを排気し除去する。ここで、バージガスとしては、窒素ガス、アルゴンガス、ヘリウムガスを用いる。

【0045】そして、バージガスを遮断して、酸化ガス50をチャンバー内にパルス形態で導入する。この酸素ガス

は、層間絶縁膜3表面および下部電極5表面に吸着した上記TMAあるいはその活性種と熱反応し原子層レベルのアルミナ膜を成膜させることになる。なお、酸化ガスとしてはオゾン(O_3)を用いる。そして、再びバージガスをパルス形態でチャンバー内に導入する。

【0046】上述したようなTMAあるいはその活性種の吸着とその酸化とを単位サイクルとして原子層レベルのアルミナ膜を形成し、このサイクルを繰り返してバリア絶縁層6の膜厚を制御する。ここで、単位サイクルは1秒程度であり、上記原子層レベルのアルミナ膜の膜厚は0.1~0.2nmである。そこで、上述したALCVD法において、上記10サイクルあるいは20サイクル繰り返す。このようにして、膜厚が1nm~5nmのアルミナ膜を形成しバリア絶縁層6とする。

【0047】このALCVD法での基板の温度の設定は重要である。下部電極5を酸化させないことが必要になるからである。 RuO_2 膜のように導電性のある金属酸化物では問題が生じないが、 TiN 膜、 TaN 膜のような金属窒化物ではその酸化を防止する必要がある。ここで、 TiN 膜の酸化は450°C以上、 TaN 膜の酸化は500°C以上でそれぞれ起こる。そこで、ALCVD法での基板温度は400°C以下に設定するとよい。

【0048】上述したようなALCVD法により、層間絶縁膜3表面および下部電極5表面に対して非常に高い密着性を有するバリア絶縁層6が形成できるようになる。

【0049】次に、上述したバリア絶縁層6上に高誘電率膜7を形成する。図5(a)は、層間絶縁膜3表面および下部電極5表面上のバリア絶縁層6表面に被着するように高誘電率膜7を成膜した後の断面図である。

【0050】ここで、この高誘電率膜7を上述したALCVD法で形成する場合を説明する。この場合に、上述したマルチチャンバー成膜装置のうち別のチャンバー(反応室)内に反応ガスをパルス状にしかも断続的に導入する。このような反応ガスの導入のガスシーケンスを図5(b)に示している。なお、この場合も成膜する半導体ウェーハは、上記チャンバー内で温度が200°C~350°Cの基板上に載置されている。

【0051】図5(b)に示すように、チャンバー内に雰囲気ガスを導入し、チャンバー内のガス圧力を200Pa程度にする。そして、ソースガスとして四塩化タンタル($TaCl_4$)ガスをパルス形態にチャンバー内に導入する。このソースガスのパルス状の断続的な導入で、バリア絶縁層6表面にTa原子あるいはタンタルの塩化物を化学吸着させる。ここでの化学吸着は一原子層あるいは数原子層である。ここで、Ta原子は酸素に対して化学吸着するために、バリア絶縁層6表面に容易に化学吸着する。

【0052】次に、図5(b)に示すように、ソースガスを遮断しバージガスをパルス形態でチャンバー内に導

入し、チャンバー内のソースガスを排気し除去する。そして、バージガスを遮断して、酸化ガスをチャンバー内にパルス形態で導入する。この酸化ガスは、上記吸着したTa原子と熱反応し原子層レベルの五酸化タンタル膜を成膜せることになる。なお、酸化ガスとしては水(H_2O)、オゾン等を用いる。そして、再びバージガスをパルス形態でチャンバー内に導入する。上述したようなTa原子の吸着とその酸化とを単位サイクルとして原子層レベルあるいは数原子層レベルの酸化タンタルを形成し、このサイクルを繰り返して高誘電率膜7の膜厚を制御する。ここで、五酸化タンタル膜の成膜速度は5nm/miin程度である。このために、膜厚が10nmの五酸化タンタル膜を形成する場合には、成膜時間は2miin程度となる。

【0053】上述したようなALCVD法でバリア絶縁層6と高誘電率膜7を成膜すると、それぞれの組成の制御が非常に向上する。また、この方法であると、成膜の段差被覆性が非常に高くなり、絶縁性に優れた高品質の容量絶縁膜が容易に形成できる。そして、この方法で形成する高誘電率膜では酸素欠損の問題が解消するようになり、その後の酸素雰囲気での高誘電率膜の熱処理工程が不要になる。上記の効果は、高誘電率膜が五酸化タンタル膜の場合に限らず、図2の説明の中で示した金属酸化膜の場合にも同様に生じる。

【0054】次に、本発明の第2の実施の形態について図6と図7を参照して説明する。この実施の形態は、0.10μmの設計基準で製造するロジックデバイスにMIM構造のキャパシタが形成される場合である。ここで、本発明の容量絶縁膜中のリーク電流において生じる効果を具体的に示す。

【0055】図6(a)に示すように、導電型がP型のシリコン基板21表面に素子分離領域22をSTI(S Hallow Trench Isolation)法で形成する。そして、シリコン基板21上にゲート絶縁膜を介して多結晶シリコン層23を形成し、この多結晶シリコン層23の側壁に公知の方法でサイドウォール絶縁膜24を形成する。

【0056】そして、導電型がN型のソース・ドレイン拡散層25をイオン注入と熱処理とで形成する。更にシリサイド技術で多結晶シリコン層23の表面とソース・ドレイン拡散層25の表面に選択的にシリサイド層26を形成する。ここで、シリサイド層26はコバルトシリサイドで形成される。

【0057】次に、シリコン窒化膜で保護絶縁膜27を形成し、シリコン酸化膜で第1層間絶縁膜28を積層して形成する。そして、第1層間絶縁膜28の所定の領域を開口しプラグ29を形成する。ここで、プラグ29はタングステンで構成される。

【0058】次に、エッチングストッパー層30と第2層間絶縁膜31を積層して堆積させる。ここで、エッチ

ングストッパー層30は薄いシリコン窒化膜であり、第2層間絶縁膜31はシリコン酸化膜である。

【0059】この第2層間絶縁膜31の所定の領域を反応性イオンエッチング(RIE)でドライエッチングし容量用開孔32を形成する。ここで、エッチングストッパー層30は、上記RIEにおけるドライエッチングからプラグ29を保護する。そして、続くドライエッチングでエッチングストッパー層30を選択的に除去して上記容量用開孔32は形成される。

【0060】次に、図6(b)に示すように、容量用開孔32の内面に沿って下部電極33を形成する。この下部電極33はプラグ29と接続している。ここで、下部電極33は膜厚が20nm程度のTiN膜で構成される。

【0061】次に、図7(a)に示すように、下部電極33および第2層間絶縁膜31表面に、第1の実施の形態で説明したように、バリア絶縁層34を膜厚2nmのアルミナ膜で形成し、更に、高誘電率膜35を膜厚10nmの五酸化タンタルで形成する。

【0062】次に、図7(b)に示すように、高誘電率膜35上にバリア導電層36とタングステン膜37を形成し、公知のフォトリソグラフィ技術とドライエッチング技術とでパターニングし上部電極38とする。このようにして、MIM構造のキャパシタの基本構造が完成する。

【0063】このようにして形成したMIM構造のキャパシタのリーク電流について詳細に調べた。その結果を図8で説明する。ここで、図8では、横軸に下部電極33と上部電極38間に印加する電圧をとっている。具体的には、ソース・ドレイン拡散層25およびシリコン基板21を接地電位にし、上部電極38に正負の電圧を印加している。そして、縦軸に容量(絶縁)膜中のリーク電流Jをとっている。また、測定温度をパラメーターとして室温(25℃)、85℃、125℃にしている。

【0064】図8から判るように、本発明では、容量膜中のリーク電流は全く測定温度に依存しなくなる。これは、バリア絶縁層34中を流れる電流に温度依存性が全く無くなるからである。ここで、バリア絶縁層34中の電子の流れは、Fowler Nordheim(F-N)トンネル電流あるいは直接トンネル電流機構になる。

【0065】比較として、従来のMIM構造のキャパシタの場合について説明する。従来の技術の構造は図9に示している。ここで、下部電極33上に高誘電率膜35を被着させる他は、第2の実施の形態で説明したのと同じ構成である。すなわち、下部電極33上に高誘電率膜35が膜厚10nmの五酸化タンタルで形成され、高誘電率膜35上にバリア導電層36とタングステン膜37とで上部電極38が形成されている。

【0066】このようにして形成したMIM構造のキャ

パシタのリーク電流の結果を図10で説明する。ここで、図10では、横軸に下部電極33と上部電極38間に印加する電圧をとり、縦軸に容量(絶縁)膜中のリーク電流Jをとっている。また、測定温度をパラメーターとして室温(25℃)、85℃、125℃にしている。図10から判るように、従来の構造では、容量膜中のリーク電流は測定温度に大きく依存する。すなわち、測定温度が上がるときリーク電流が増大するようになる。これは、図12に説明した特性の具体例となっている。

【0067】第2の実施の形態では、バリア絶縁層34が下部電極33表面に形成される場合について説明しているが、第1の実施の形態で図3に基づいて説明したのと同様に、バリア絶縁層が高誘電率膜と上部電極間に介在する場合、あるいは、バリア絶縁層が下部電極と高誘電率膜および上部電極と高誘電率膜間に介在する場合でも、容量絶縁膜中のリーク電流の温度依存性は消滅する。

【0068】以上の実施の形態においては、下部電極あるいは上部電極に用いる金属膜として、オスミウム(Os)もしくはその酸化物あるいはレニウム(Re)、白金(Pt)、パラジウム(Pd)、ロジウム(Rh)を用いてよい。しかし、上述したALCVD法でバリア絶縁層を形成する場合には、上記レニウム、白金、パラジウム、ロジウム等の金属膜の表面に酸素あるいは水酸基を吸着させておく必要がある。また金属膜としては、チタン(Ti)、タンタル(Ta)、ルテニウム(Ru)、イリジウム(Ir)を用いてよい。更には、導電性のある金属化合物を用いてよい。このような金属化合物としては、上述した金属酸化物、金属窒化物の他に、金属の酸窒化物、炭化物等がある。

【0069】あるいは、下部電極あるいは上部電極を構成する金属膜として、異種の金属膜を積層して用いてよい。

【0070】また、上記の実施の形態では、バリア絶縁層としてアルミナ膜、SiON膜について説明したが、バリア絶縁層はF-Nトンネル電流あるいは直接トンネル電流機構を有する絶縁膜であればよい。

【0071】また、上記の実施の形態では、ALCVD法で五酸化タンタル膜を形成する場合について詳述した。このALCVD法で高誘電率膜である二酸化ジリコニウム(ZrO₂)、二酸化ハフニウム(HfO₂)、STO(SrTiO₃)膜、BST((Ba, Sr)TiO₃)膜を成膜する場合には、図5(b)に示したソースガスとして、それぞれ、塩化ジルコニウムあるいはZrのアルコラート、塩化ハフニウム、ストロンチウムDYM、バリウムDYM、塩化チタンを用いるとよい。

【0072】上記の高誘電率膜の比誘電率は、二酸化ジリコニウム(ZrO₂)でその比誘電率は25、二酸化ハフニウム(HfO₂)で30、STO(SrTiO₃)膜で100、BST((Ba, Sr)TiO₃)膜

で300程度と安定して容量値の高い容量絶縁膜となる。なお、この場合の成膜温度は上述したような200°C~350°Cでよい。

【0073】また、上述したALCVD法で上記のような金属酸化膜を成膜すると、この金属酸化膜をMIM構造のキャパシタの容量絶縁膜として使用できるようになる。なお、このような金属酸化膜は異種のものを積層して用いてもよい。

【0074】

【発明の効果】以上に説明したように、本発明の主要部では、金属酸化膜のような高誘電率材料を容量絶縁膜に用いるMIM構造のキャパシタにおいて、キャパシタの下部電極あるいは上部電極と上記高誘電率材料との間に、膜中の電子の流れがFowler Nordheim(F-N)トンネル電流機構あるいは直接トンネル電流機構となる絶縁膜をバリア絶縁層として介在させる。あるいは、上記バリア絶縁層あるいは容量絶縁膜を原子層化学気相成長(ALCVD)法で形成する。

【0075】このために、本発明では、容量絶縁膜の組成の制御が非常に向上すると共に、成膜の段差被覆性が非常に高くなる。そして、高い誘電率で絶縁性に優れ、動作温度依存性の小さな高品質の容量絶縁膜が容易に形成できる。

【0076】このようにして、MIM構造のキャパシタを搭載した半導体装置の動作が非常に安定するようになる。そして、高誘電率膜をキャパシタの容量絶縁膜とした、信頼性の高いスタック型のキャパシタが可能になり、半導体装置の超高集積化および高密度化が大幅に促進される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するためのMIM構造キャパシタの平面図とその断面図である。

【図2】上記MIM構造キャパシタの一部拡大した断面図である。

【図3】別のMIM構造キャパシタの一部拡大した断面図である。

【図4】本発明の容量絶縁膜の成膜方法を説明するためのキャパシタ断面図と反応ガスの導入シーケンス図である。

【図5】本発明の容量絶縁膜の成膜方法を説明するためのキャパシタ断面図と反応ガスの導入シーケンス図である。

【図6】本発明の第2の実施の形態を説明するためのMIM構造キャパシタの製造工程順の断面図である。

【図7】上記MIM構造キャパシタの製造工程の続きを示す工程順の断面図である。

【図8】本発明の効果を説明するためのグラフである。

【図9】本発明の第2の実施の形態と対比するための従来のMIM構造キャパシタの断面図である。

【図10】上記従来のMIM構造キャパシタの容量絶縁膜中のリーク電流を示すグラフである。

【図11】従来の技術で形成したMIM構造キャパシタの平面図と断面図である。

【図12】従来の技術での課題を説明するための容量膜中のリーク電流の測定温度依存性を示すグラフである。

【符号の説明】

1, 21, 101 シリコン基板

2, 102 拡散層

20 3, 103 層間絶縁膜

4, 29, 104 プラグ

5, 33, 105 下部電極

6, 6a, 34 バリア絶縁層

7, 35 高誘電率膜

8, 106 容量絶縁膜

9, 38, 107 上部電極

10, 11 点線円

22 素子分離領域

23 多結晶シリコン層

30 24 サイドウォール絶縁膜

25 ソース・ドレイン拡散層

26 シリサイド層

27 保護絶縁膜

28 第1層間絶縁膜

30 エッチングストッパー層

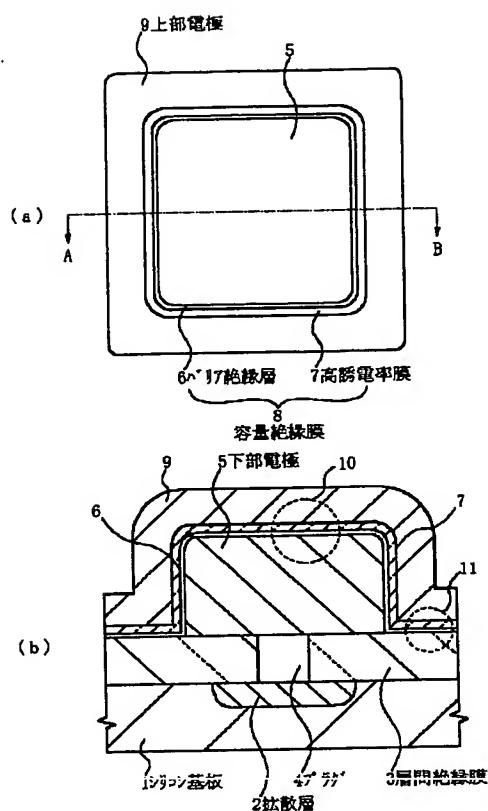
31 第2層間絶縁膜

32 容量用開孔

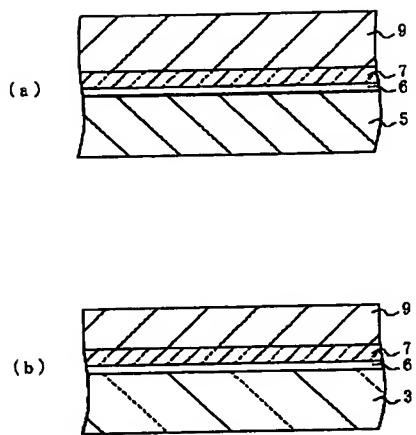
36 バリア導電層

37 タングステン膜

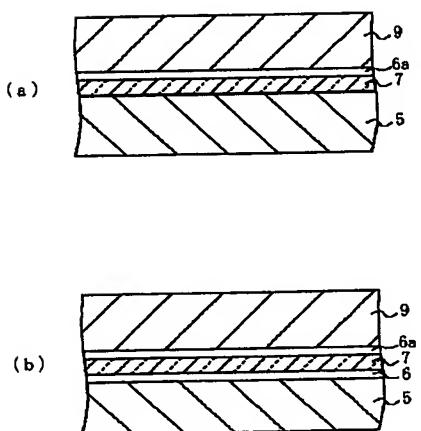
【図1】



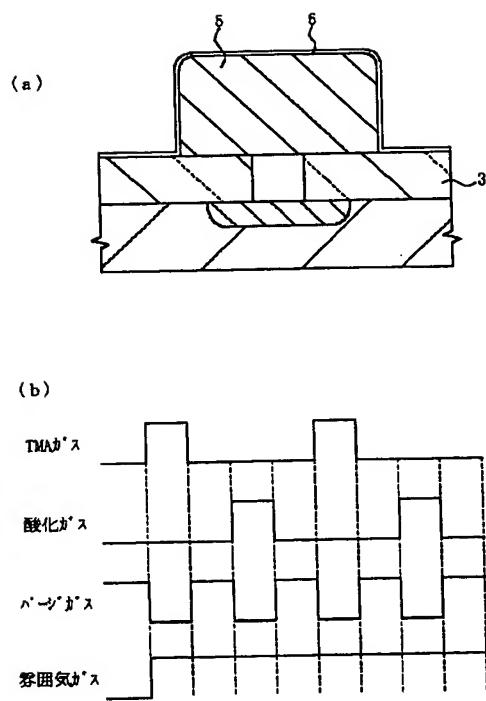
【図2】



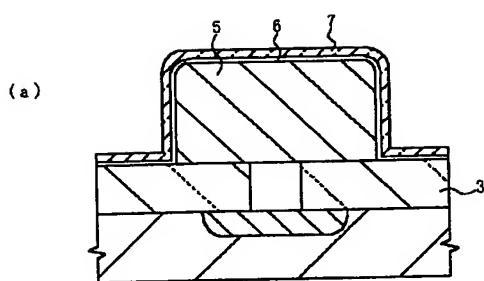
【図3】



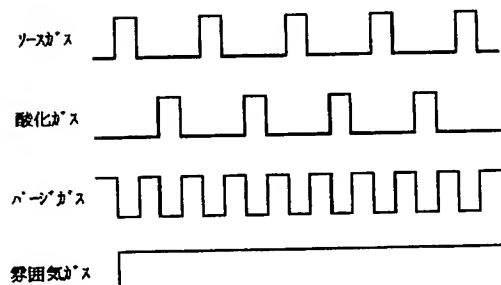
【図4】



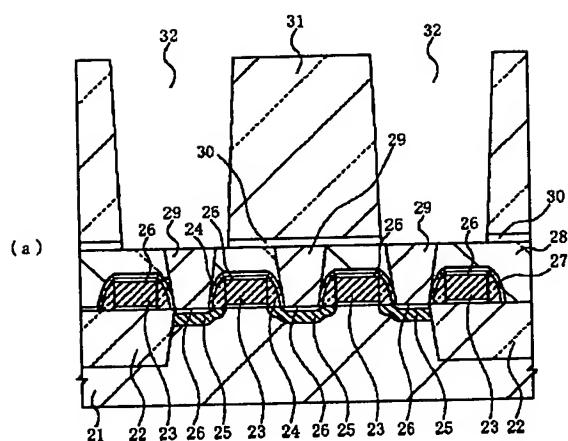
【図5】



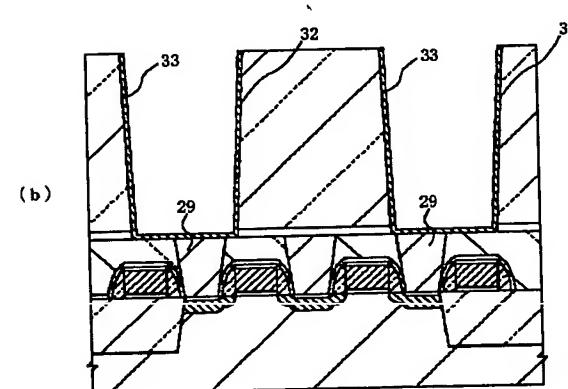
(a)



【図6】

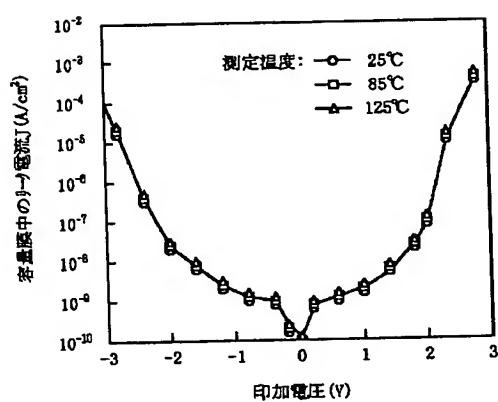


(a)

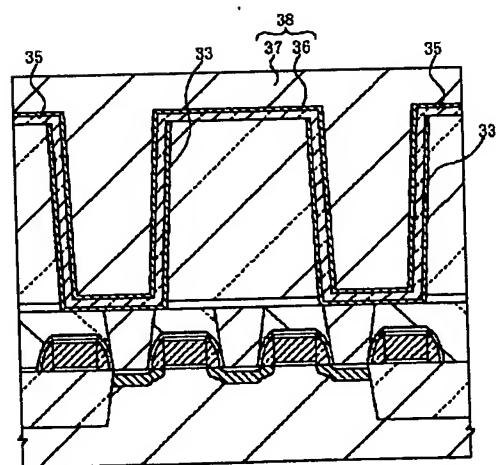


(b)

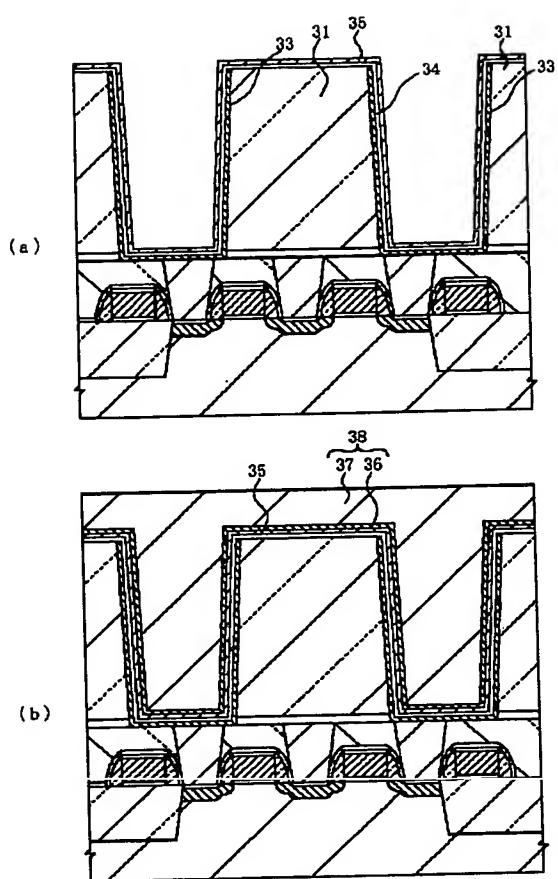
【図8】



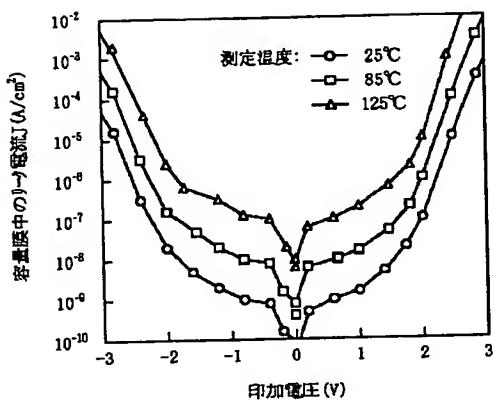
【図9】



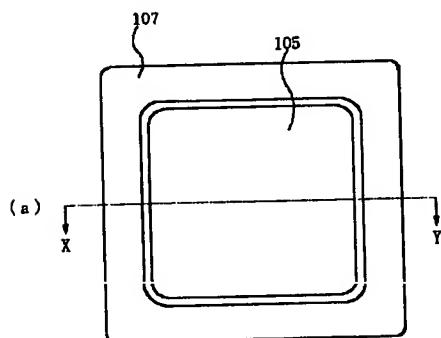
【図7】



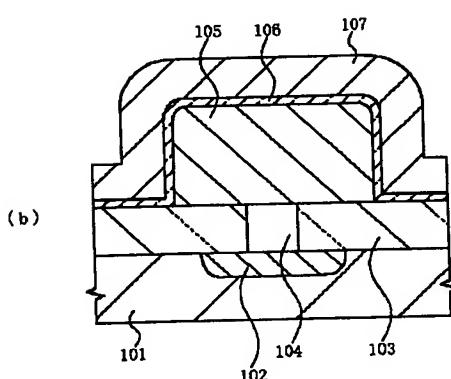
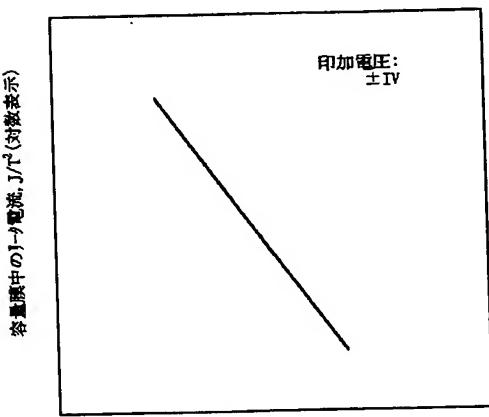
【図10】



【図11】



【図12】



フロントページの続き

F ターム(参考) 5F083 AD24 AD42 GA06 JA03 JA05
JA06 JA14 JA15 JA17 JA35
JA38 JA39 JA40 JA43 MA06
MA17 NA01 PR21